

超格子構造制御による薄膜コンデンサの開発に関する研究

環境材料工学科・日野 孝紀

積層セラミックコンデンサ (MLCC、Multi Layer Ceramic Capacitor) は、多機能小型デジタル機器の性能を最大限発揮させるための必須チップ部品であるとともに、表面高密度実装に適しているため、携帯電話や PDA に数百以上も使用されている。図 1 に 1005 (1.0×0.5×0.5 mm) サイズの概念図を示すように、MLCC は内部が酸化物誘電体層と金属内部電極層が交互に数百層も積層した構造で、膨大な規模の世界市場を有し、一方で超小型大容量化に向けた研究開発が著しい。

次世代 MLCC 開発のキーポイントは、超小型化による超高密度実装への対応、実装工程およびコストの軽減、実装面積あるいは部品単位体積あたりの静電容量増大である。超小型を満足するためには、誘電体層の一層あたりの厚さをサブミクロン以下とする必要があり、現在の製造における原料となる酸化物粉末をナノ結晶粉末とする必然性がある。しかしながら、誘電体層厚さは、粉末を原料とした場合、物理的な製造技術やハンドリング等に制限が多く、誘電体層厚さの限界が 1 μm であると予想されている。

これまで、高速度で酸化物誘電体を合成でき、薄膜コンデンサの開発が簡便な装置構成で行える薄膜化手法である PLD 法 (pulsed laser deposition) を用いて、種々の誘電体薄膜の形成を行うとともに装置の開発や改良を施し、条件設定に関するノウハウを蓄積してきた。また、人工超格子薄膜によるナノ構造化や界面調整による結晶構造制御等によって、誘電体薄膜の静電容量が増大することを報告してきた。PLD 法を用いた薄膜キャパシターは、レーザを組成比の異なる原料ターゲットに順次照射しアブレーションさせ、基板に周期積層させながら堆積して作製する。誘電特性を制御するため、図 3 に示す超格子構造制御した薄膜コンデンサ断面の HRTEM (高分解能透過電子顕微鏡) 像のように、1 層の厚さが 4 nm ほどで周期積層の繰返し数や周期構造を変化させナノ構造制御を行った。薄膜コンデンサの容量密度は、図 4 に示すように市販されている MLCC と比較して 3 倍も増大した。容量密度は、薄膜の結晶方位及びナノ構造の成長制御が可能であり、結晶性が低下しない程度のミスフィットを導入することによって、静電容量を増大させることができることがわかった。本高速合成にて得られた容量増大に及ぼす影響因子を大面積コーティングが可能な成膜方法に応用することによって量産に対応することも可能である。

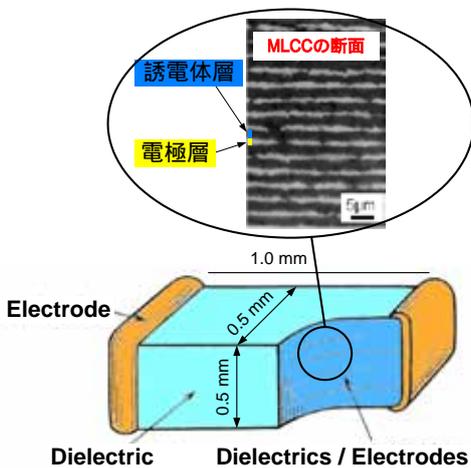


図 1

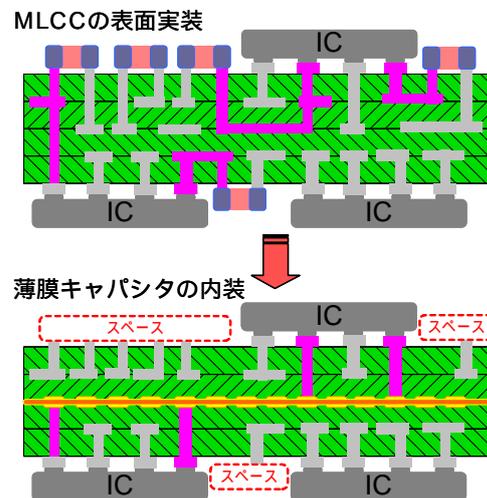


図 2

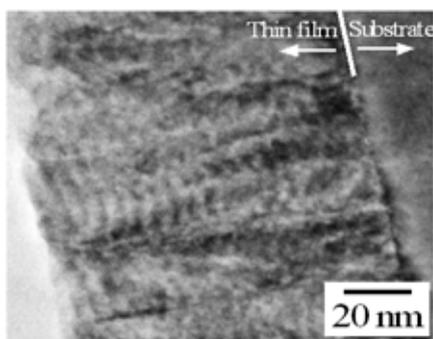
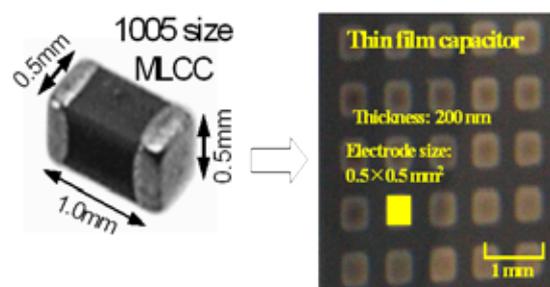


図 3



容量密度 20 μF/mm³

容量密度 60 μF/mm³

図 4